

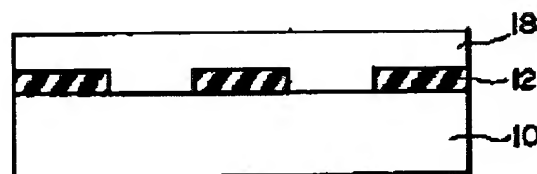
**MANUFACTURE OF STACK HAVING CRYSTALLINE SEMICONDUCTOR LAYER**

**Patent number:** JP2000150379  
**Publication date:** 2000-05-30  
**Inventor:** MITSUSHIMA KOICHI; ITO TADASHI  
**Applicant:** TOYOTA CENTRAL RES & DEV  
**Classification:**  
- international: **H01L21/20; H01L21/308; H01L27/12; H01L31/04; H01L21/02; H01L27/12; H01L31/04; (IPC1-7): H01L21/20; H01L21/308; H01L27/12; H01L31/04**  
- european:  
**Application number:** JP19980333436 19981109  
**Priority number(s):** JP19980333436 19981109

**Report a data error here**

**Abstract of JP2000150379**

**PROBLEM TO BE SOLVED:** To materialize the manufacture of a stack which has a crystalline semiconductor layer being applicable even to heat treatment of a temperature range of 1000 deg.C or under. **SOLUTION:** This is the manufacture of a stack which has a crystalline semiconductor layer, and this includes a process (a) of patterning an exfoliation layer and exposing the surface of a single crystalline silicon substrate by specified pattern, after forming the exfoliation layer 13 different in etching rate from a crystalline semiconductor (single crystalline silicon) on the surface of a crystalline semiconductor substrate (single crystalline silicon substrate) 10, a process (b) of forming an amorphous silicon layer on the exposed face of the single crystalline silicon substrate 10 and the surface of the exfoliation layer, a process (c) of making the amorphous silicon layer into a single crystalline silicon layer (SPE layer) 18 by the solid-phase growth in heat treatment, a process (d) of forming a hole continuous to the exfoliation layer 12, in the SPE layer 18 and removing the exfoliation layer 12 through that hole, a process (e) of joining the substrate to the surface of the SPE layer 18, and a process (f) of exfoliating the single crystalline silicon substrate from the SPE layer.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150379

(P 2 0 0 0 - 1 5 0 3 7 9 A)

(43) 公開日 平成12年 5月30日 (2000. 5. 30)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テームコード (参考)
H01L 21/20		H01L 21/20	5F043
21/308		21/308	B 5F051
27/12		27/12	B 5F052
31/04		31/04	X

審査請求 未請求 請求項の数 3 F D (全 5 頁)

(21) 出願番号	特願平10-333436	(71) 出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長湫字横道41番地の1
(22) 出願日	平成10年11月 9 日 (1998. 11. 9)	(72) 発明者	光嶋 康一 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内
		(72) 発明者	伊藤 忠 愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内
		(74) 代理人	100090387 弁理士 布施 行夫 (外 2 名)
		最終頁に続く	

(54) 【発明の名称】 結晶質半導体層を有する積層体の製造方法

(57) 【要約】

【課題】 1 0 0 0℃以下の温度領域の熱処理でも適用可能な結晶質半導体層を有する積層体の製造方法を提供する。

【解決手段】 結晶質半導体層を有する積層体の製造方法であって、以下の工程 (a) ~ (f) を含む。

(a) 結晶質半導体基板 (単結晶シリコン基板) 1 0 の表面に、結晶質半導体 (単結晶シリコン) とエッチングレートが異なる剥離層 1 2 を形成した後、剥離層をパターニングし、単結晶シリコン基板の表面を所定のパターンで露出させる工程、(b) 単結晶シリコン基板 1 0 の露出面および剥離層の表面に非晶質シリコン層を形成する工程、(c) 熱処理によって、非晶質シリコン層を固相成長によって単結晶シリコン層 (S P E 層) 1 8 にする工程、(d) S P E 層 1 8 に、剥離層 1 2 に連続する孔を形成し、該孔を介して剥離層 1 2 をエッチングにて除去する工程、(e) S P E 層 1 8 の表面に基板を接合する工程、および (f) 単結晶シリコン基板を S P E 層から剥離する工程。

## 【特許請求の範囲】

【請求項1】 結晶質半導体層を有する積層体の製造方法であって、以下の工程（a）～（f）を含む製造方法。

（a）結晶質半導体基板の表面に、結晶質半導体とエッチングレートが異なる剥離層を形成した後、該剥離層をパターニングし、前記結晶質半導体基板の表面を所定のパターンで露出させる工程、（b）前記結晶質半導体基板の露出面および前記剥離層の表面に非晶質半導体層を形成する工程、（c）熱処理によって、前記非結晶質半導体層を固相成長によって結晶質半導体層にする工程、

（d）前記結晶質半導体層に、前記剥離層に連続する孔を形成し、該孔を介して前記剥離層をエッチングにて除去する工程、（e）前記結晶質半導体層の表面に基板を接合する工程、および（f）前記結晶質半導体基板を前記結晶質半導体層から剥離する工程。

【請求項2】 請求項1において、前記工程（c）において、前記熱処理は1000℃以下で行われる製造方法。

【請求項3】 請求項1または2において、前記剥離層は、前記結晶質半導体層を構成する半導体の酸化物である製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、単結晶あるいは多結晶の結晶質半導体層を有する積層体の製造方法に関する。

## 【0002】

【背景技術】現在、シリコン太陽電池の開発が盛んに行われており、特に、発電効率の向上と低価格化が課題とされている。シリコン太陽電池としては、もっとも発電効率が高い材料として単結晶シリコンを用いたものがある。しかし、単結晶シリコンとして、半導体の集積回路に用いられるウエハ（厚さ数百μm）をそのまま使用すると、ウエハが高価なためコストの点で問題がある。そこで、単結晶シリコンのウエハ上にシリコン薄膜を成膜し、このシリコン薄膜を他の基板に接合して用いる試みがなされている。このような技術は、例えば、文献「71st International Photovoltaic Science and Engineering Conference P.243-244 (1993)」に開示されている。この文献に開示された積層体の製造方法の概要は以下のようである。

【0003】シリコン単結晶基板の上に、シリコン酸化膜および多結晶シリコン層をSOI（Silicon On Insulator）技術によって形成する。次いで、多結晶シリコン層にホールを開け、このホールを通してシリコン単結晶基板上のシリコン酸化膜をエッチングによって除去することにより、シリコン単結晶基板と多結晶シリコン層とを分離する。その後、多結晶シリコン層をガラス基板に接着する。

【0004】この技術においては、多結晶シリコン層を形成する際に熱処理による再結晶法を利用しているため、1100～1250℃の高温プロセスが必要である。この高温プロセスによって基板のシリコン単結晶が熱歪みを生じ、通常2～3回程度繰り返して使用すると、基板に反りなどが発生して使用できなくなる。

## 【0005】

【発明が解決しようとする課題】本発明の目的は、従来の技術に比べて低温で熱処理が可能であり、結晶質半導体基板を繰り返して再利用できる、結晶質半導体層を有する積層体の製造方法を提供することにある。

## 【0006】

【課題を解決するための手段】本発明は、結晶質半導体層を有する積層体の製造方法であって、以下の工程（a）～（f）を含む。

【0007】（a）結晶質半導体基板の表面に、結晶質半導体とエッチングレートが異なる剥離層を形成した後、該剥離層をパターニングし、前記結晶質半導体基板の表面を所定のパターンで露出させる工程、（b）前記結晶質半導体基板の露出面および前記剥離層の表面に非晶質半導体層を形成する工程、（c）熱処理によって、前記非結晶質半導体層を固相成長によって結晶質半導体層にする工程、（d）前記結晶質半導体層に、前記剥離層に連続する孔を形成し、該孔を介して前記剥離層をエッチングにて除去する工程、（e）前記結晶質半導体層の表面に基板を接合する工程、および（f）前記結晶質半導体基板を前記結晶質半導体層から剥離する工程。

【0008】前記工程（c）において、前記熱処理は、好ましくは1000℃以下、より好ましくは550～1000℃、さらに好ましくは580～600℃で行われる。熱処理温度は、結晶質半導体基板の再利用を考慮すれば低いことが望ましい。また、非晶質半導体層の固相成長を考慮すれば550℃以上が望ましい。

【0009】また、前記工程（f）の後に、前記結晶質半導体層の表面を平坦化する工程を有することが望ましい。前記工程（f）において、たとえば、超音波の衝撃力などを利用して機械的に結晶質半導体基板を剥離した場合には、結晶質半導体基板の剥離後の結晶質半導体層の表面に凹凸がある。そのため、本発明によって得られる積層体を平滑な表面が必要な用途に使用する場合には、ラッピングなどによって結晶質半導体層の表面を平滑にすることが望ましい。

【0010】前記結晶質半導体基板としては、単結晶シリコン基板が望ましいが、これに限定されず、多結晶シリコン基板、シリコン以外の半導体（たとえばGaAs、SiC、Ge、GaP）などを用いることができる。

【0011】また、前記剥離層は、工程（d）においてエッチングによって除去される。したがって、この剥離層は、前記結晶質半導体基板および前記結晶質半導体層

を構成する半導体とエッチャントに対するエッチングレートが異なる。前記剥離層としては、SOI 技術が適用できる点で、前記結晶質半導体層を構成する半導体の酸化物が好ましい。前記剥離層としては、酸化物の他に、窒化物などの材料を用いることができる。

【0012】本発明によって得られる積層体は、太陽電池に好適に用いられ、さらに薄膜ディスプレイ制御用のトランジスタ (TFT)、半導体集積回路などの用途に用いることができる。

【0013】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0014】図7は、本実施の形態に係る製造方法によって形成された積層体100を模式的に示す断面図である。図7に示す積層体100は、基板30と、この基板30の表面に形成された固相成長層（以下「SPE層」という）18とから構成されている。基板30は、積層体100の用途によって種々の材質を取りうる。例えば、積層体100を太陽電池に用いる場合には、基板30の材料として、光学的に透明なガラスや樹脂をはじめとし、セラミックス、金属などを例示することができる。また、積層体100を半導体集積回路の用途に用いる場合には、基板30としてシリコンウエハなどを用いることができる。SPE層18は、固相成長によって非晶質シリコン層が結晶化された単結晶シリコン層あるいは多結晶シリコン層である。

【0015】（積層体の製造方法）図1～図7は、本実施の形態に係る積層体100の製造方法を模式的に示す断面図である。

【0016】（1）まず、図1に示すように、単結晶シリコン基板10の上に、例えば10～1000nmの膜厚の酸化シリコン（SiO<sub>2</sub>）からなる剥離層を形成する。この剥離層の製造条件は特に制限されないが、例えば、化学気相成長（CVD）法や熱酸化法などを用いることができる。次いで、フォトリソグラフィおよびエッチング技術を用いて、パターンニングされた剥離層12を形成する。図8に、剥離層12のパターンニングの一例を示す。図1は、図8のA-A線に沿った断面図である。この例では、単結晶シリコン基板10の露出面10aが長方形をなし、各露出面10aが所定の間隔をもって配置されている。また、露出面10aは、固相成長のためのシード領域となる。したがって、結晶質半導体層として単結晶シリコン層を形成する場合には、露出面10aは、この面を基点に固相エピタキシャル成長ができるようにレイアウトされる。

【0017】（2）次いで、図2に示すように、膜厚が500～4000nmの非晶質シリコン層14を剥離層12および露出面10aの上に形成する。非晶質シリコン層14の形成は、例えば、基板温度を500～550℃に設定し、シラン系化合物ガスをを用いた減圧CVD法

により行われる。

【0018】シラン系化合物としては、特に制限されないが、モノシラン、ジシラン、トリシラン、テトラシラン、テトラエトキシシランなどを例示することができる。

【0019】この工程では、必要に応じて、非晶質シリコン層14の形成前に単結晶シリコン基板10の露出面10aに水素を末端させる。このように、露出面10aに水素を末端させることで、単結晶シリコン基板の表面を化学的に安定な状態とすることができ、その表面の酸化を防止することができる。その結果、非晶質シリコン層14を単結晶化させる際に、単結晶シリコン基板10の結晶面（露出面10a）から、良好なエピタキシャル成長を達成することができる。

【0020】単結晶シリコン基板10の露出面10aに水素を末端させる方法としては、例えば、エッチングを挙げることができる。エッチングとして好ましくは、水素含有化合物によるエッチングを挙げることができる。水素含有化合物によるエッチングによれば、単結晶シリコン基板の表面に自然酸化膜が形成されていた場合に、この自然酸化膜を除去することができる利点を有する。

【0021】水素含有化合物によるエッチングとしては、希フッ化水素溶液によるウェットエッチング、あるいは水素、塩酸、フッ酸等によるドライエッチング等を用いることができ、特にフッ化水素を1～5重量%の割合で含む溶液によるウェットエッチングがプロセスの簡便化、表面の化学的安定性の点より好ましい。

【0022】（3）次いで、図3に示すように、好ましくは550～1000℃、より好ましくは580～1000℃、さらに好ましくは580～600℃の温度で、例えば4～24時間アニールをする。このようにアニールすることにより、単結晶シリコン基板10の結晶面（露出面）10aから、固相エピタキシャル成長により非晶質シリコン層14が単結晶化され、こうして、SPE層18が形成される。

【0023】（4）次いで、図4に示すように、SPE層18に、このSPE層18の下にある剥離層12に到達する孔20を所定のパターンで形成する。次いで、例えばフッ酸を主成分とするエッチャントを用いて、孔20を介してエッチャントを剥離層12に接触させてこれをエッチングにより除去する。その結果、剥離層12が形成されていた領域には空隙部16が形成される。したがって、SPE層18と単結晶シリコン基板10とは一部の領域（露出面10a）において接合された状態となっている。

【0024】孔20のパターンやレイアウトは、剥離層12がエッチャントによって十分に除去できるように設定されればよい。エッチャントとしては、たとえばフッ酸を主成分とするエッチャントを好ましく用いることができる。

【0025】(5) 次いで、図5に示すように、SPE層18の表面にガラス基板30を接合する。接合の方法としては、例えば、陽極接合を好ましく用いることができる。陽極接合においては、例えば、SPE層18とガラス基板30とを重ね合わせた後、400℃程度に加熱して、500～1000Vの電圧を印加する。

【0026】(6) 次いで、図6に示すように、SPE層18と単結晶シリコン基板10とを分離させる。分離方法としては、例えば、超音波の衝撃力を作用させることにより、SPE層18から単結晶シリコン基板10を  
10 引き剥がすことができる。超音波を作用させるには、超音波を発生する振動子を備えた容器中に液体を入れ、その液体中に積層体を入れ、振動子から液体中に超音波を照射することによって行われる。超音波による機械的な衝撃を加えることにより、SPE層18のエッジなどに応力が集中して破断が生じ、SPE層18と単結晶シリコン基板10とが分離される。

【0027】単結晶シリコン基板10をSPE層18から引き剥がす方法としては、超音波による方法の他に、  
20 単結晶シリコン基板10あるいはガラス基板30のいずれか少なくとも一方を接着などによって固定し、両者を相対的に膜厚方向に移動させて機械的に分離する方法を用いてもよい。

【0028】(7) 次いで、図7に示すように、SPE層18の表面を平坦化することにより、ガラス基板30上に結晶質シリコン層(SPE層)18を有する積層体100が得られる。SPE層18を平坦化する方法としては、ラッピング、すなわち研磨液による機械的加工あるいはCMP法(化学的機械的研磨法)などを用いることができる。

【0029】(測定例) 次に、本発明によって得られた積層体100を用いて太陽電池を作成し、公知の方法によって太陽電池の発電効率(変換効率)を求めた。発電効率の測定に用いる光源には、太陽光のスペクトルを模擬したソーラーシミュレーターを用いた。ソーラーシミュレーターとしては、キセノンショートアークランプとスペクトル補正用のフィルターとを組み合わせたものを用いた。

【0030】この測定に用いた太陽電池のサンプルを、  
40 図9に示す。このサンプルは、ガラス基板(厚さ500μm)30上に、SPE層(膜厚2000nm)18としてp型単結晶シリコン層が形成された積層体100を用いた。そして、p型単結晶シリコン層(SPE層)18に、n型拡散層42とp型拡散層44とを形成し、各拡散層42、44の表面に蒸着によってアルミニウム電極40を形成した。このサンプルを用いて、発電効率を求めたところ、約15%であった。

【0031】本発明によれば、固相成長時の熱処理の温度は、単結晶シリコン基板を種結晶として、非晶質シリコン層が単結晶化あるいは多結晶化する温度、すなわち  
50

550℃以上であればよい。そのため、熱処理の温度が1000℃以下の温度領域においても結晶質シリコン層の形成が可能となる。また、熱処理の温度を1000℃以下の温度で行った場合には、結晶質半導体基板(ウェハ)の熱歪みによる反りなどの変形を防止することができ、この結晶質半導体基板を複数回にわたって再利用することができる。

【0032】以上、本発明の好適な実施の形態の一例について述べたが、本発明はこれに限定されず、発明の要旨の範囲で種々の態様をとりうる。

【0033】例えば、結晶質半導体基板としては、単結晶シリコン基板の他に、多結晶シリコン基板、あるいは他の半導体材料、例えばGaAsやSiCなどの材料を用いた基板を用いることもできる。また、シード領域のパターンを変えることによって、固相成長によって形成されるSPE層は単結晶あるいは多結晶のいずれにも成りうるため、積層体の用途によってSPE層の結晶構造を選択することができる。

【0034】

【図面の簡単な説明】

【図1】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

【図2】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

【図3】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

【図4】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

30 【図5】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

【図6】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

【図7】本発明の実施の形態にかかる積層体の製造工程を模式的に示す断面図である。

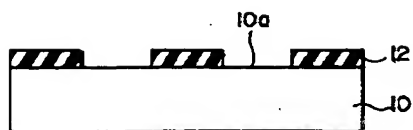
【図8】図1の工程における、平面レイアウトを示す図である。

【図9】太陽電池の変換効率を求めるためのサンプルを模式的に示す断面図である。

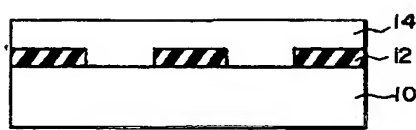
【符号の説明】

10	単結晶シリコン基板
12	剥離層
14	非晶質シリコン層
16	空隙部
18	SPE層
20	孔
30	ガラス基板
40	電極
42	n型拡散層
44	p型拡散層
100	積層体

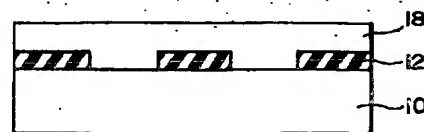
【図1】



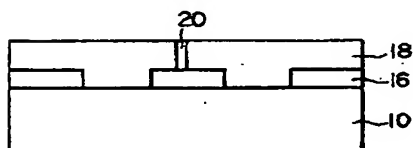
【図2】



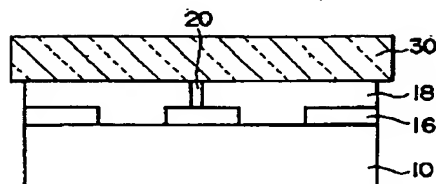
【図3】



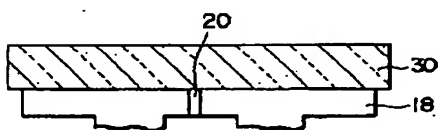
【図4】



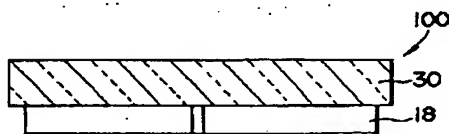
【図5】



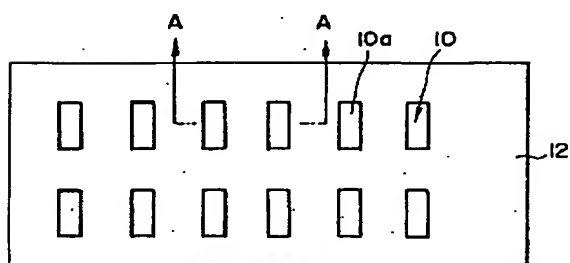
【図6】



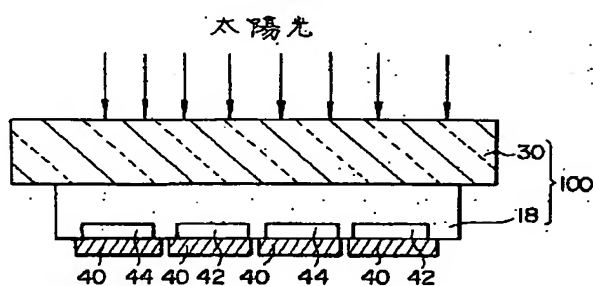
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5F043 AA33 BB22 DD16 DD30 EE05  
 FF07 GG10  
 5F051 AA02 AA03 CA15 CB01 CB24  
 CB29 CB30 DA01 DA20 GA03  
 GA04 GA06  
 5F052 AA11 CA01 DA01 DA02 DB02  
 EA15 GA01 JA09 KB00